

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-216069

(43)公開日 平成5年(1993)8月27日

(51)IntCl <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
1/1343		9018-2K		
H 0 1 L 27/12	A	8728-4M		
29/40	A	7738-4M		
		9056-4M		
			H 0 1 L 29/ 78	3 1 1 P

審査請求 未請求 請求項の数10(全 7 頁) 最終頁に続く

(21)出願番号 特願平4-53005

(22)出願日 平成4年(1992)3月12日

(31)優先権主張番号 特願平3-323499

(32)優先日 平3(1991)12月9日

(33)優先権主張国 日本(J P)

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 小泉 真澄

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(72)発明者 野本 勉

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(72)発明者 登 正治

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(74)代理人 弁理士 清水 守 (外3名)

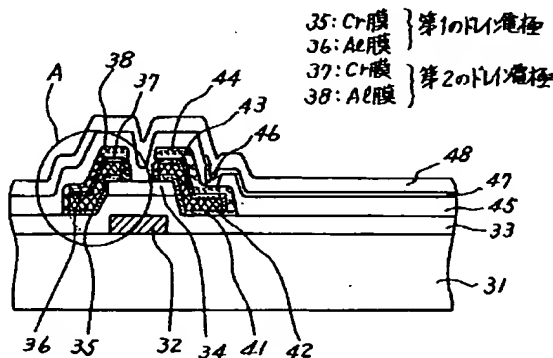
最終頁に続く

(54)【発明の名称】 アクティブマトリックス液晶ディスプレイの下基板の製造方法

(57)【要約】

【目的】 液晶ディスプレイの下基板であるTFTアレイのソース・ドレイン電極の断線を防止し、断線による表示品質低下のない優れたアクティブマトリックス液晶ディスプレイの下基板を得る。

【構成】 透光性絶縁基板上にゲート電極、ゲート絶縁膜、 $n^-$ アモルファスシリコン半導体層、 $n^+$ アモルファスシリコンオーミック層、ソース・ドレイン電極、中間絶縁膜、表示用透明電極、表面保護膜を含むアモルファスシリコン薄膜トランジスタアレイを有するアクティブマトリックス液晶ディスプレイの下基板の製造方法において、ソース・ドレイン電極を高融点金属のCr膜35、41と配線用Al膜36、42からなる第1のソース・ドレイン電極と、高融点金属のCr膜37、43と配線用Al膜38、44からなる第2のソース・ドレイン電極とで形成するようにしたものである。



## 【特許請求の範囲】

【請求項1】 透光性絶縁基板上にゲート電極、ゲート絶縁膜、 $n^-$ アモルファスシリコン半導体層、 $n^+$ アモルファスシリコンオーミック層、ソース・ドレイン電極、中間絶縁膜、表示用透明電極、表面保護膜を含むアモルファスシリコン薄膜トランジスタアレイを有するアクティブマトリックス液晶ディスプレイの下基板の製造方法において、

前記ソース・ドレイン電極を高融点金属の第1層膜と配線用第2層膜からなる第1のソース・ドレイン電極と、高融点金属の第3層膜と配線用第4層膜からなる第2のソース・ドレイン電極とで形成することを特徴とするアクティブマトリックス液晶ディスプレイの下基板の製造方法。

【請求項2】 前記第1のソース・ドレイン電極の第1層膜をクロム、ニクロム、チタン、タングステン、モリブデンのいずれか1層、第2層膜をアルミニウムまたはアルミニウム合金で構成する請求項1記載のアクティブマトリックス液晶ディスプレイの下基板の製造方法。

【請求項3】 前記第2のソース・ドレイン電極の第3層膜をクロム、ニクロム、チタン、タングステン、モリブデンのいずれか1層、第4層膜をアルミニウムまたはアルミニウム合金で構成する請求項1記載のアクティブマトリックス液晶ディスプレイの下基板の製造方法。

【請求項4】 前記第1のソース・ドレイン電極のパターン幅が、前記第2の電極のパターン幅よりも小であることを特徴とする請求項1記載のアクティブマトリックス液晶ディスプレイの下基板の製造方法。

【請求項5】 前記第2のソース・ドレイン電極の配線用第4層膜の膜厚が、第1のソース・ドレイン電極の配線用第2層膜の膜厚よりも小であることを特徴とする請求項1記載のアクティブマトリックス液晶ディスプレイの下基板の製造方法。

【請求項6】 前記第2のソース・ドレイン電極の高融点金属の第3層膜の膜厚が、第1のソース・ドレイン電極の高融点金属の第1層膜の膜厚と同程度であることを特徴とする請求項1記載のアクティブマトリックス液晶ディスプレイの下基板の製造方法。

【請求項7】 透光性絶縁基板上にゲート電極、ゲート絶縁膜、 $n^-$ アモルファスシリコン半導体層、 $n^+$ アモルファスシリコンオーミック層、ソース・ドレイン電極、中間絶縁膜、表示用透明電極、表面保護膜を含むアモルファスシリコン薄膜トランジスタアレイを有するアクティブマトリックス液晶ディスプレイの下基板の製造方法において、

第1層金属と第2層金属を最初に成膜、加工した後、第3層金属を成膜し、該第3層金属が、前半に形成した第1層金属と第2層金属を覆った形状に加工してソース・ドレイン電極配線を形成することを特徴とするアクティブマトリックス液晶ディスプレイの下基

板の製造方法。

【請求項8】 前記3層の金属層は膜質が異なり、下層である第1層金属を1000～4000Åの膜厚のアルミニウムまたはアルミニウム合金で形成したことを特徴とする請求項7記載のアクティブマトリックス液晶ディスプレイの下基板の製造方法。

【請求項9】 前記3層の金属層は膜質が異なり、中層である第2層金属を100～1000Åの膜厚のクロム、ニクロム、チタン、タングステン、モリブデンのいずれか1層で形成したことを特徴とする請求項7記載のアクティブマトリックス液晶ディスプレイの下基板の製造方法。

【請求項10】 前記3層の金属層は膜質が異なり、上層である第3層金属を500～2000Åの膜厚のアルミニウムまたはアルミニウム合金で形成したことを特徴とする請求項7記載のアクティブマトリックス液晶ディスプレイの下基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、アクティブマトリックス液晶ディスプレイの下基板の製造方法に関するものである。

## 【0002】

【従来の技術】従来、アモルファス（非晶質）シリコン（ $a-Si$ ）を用いた薄膜トランジスタ（TFT）を内蔵した従来のアクティブマトリックス液晶ディスプレイは以下のようにして製造していた。図3はかかる従来のアクティブマトリックス液晶ディスプレイの断面図である。

【0003】この図に示すように、まず、アクティブマトリックス液晶ディスプレイの下基板となる $a-Si$ TFT基板は、ガラス基板1の上に、クロム（Cr）、ニクロム（NiCr）、タンタル（Ta）よりなる金属層を、スパッタまたは蒸着により、0.1～0.3 $\mu m$ 程度成膜し、その後、ホトリソエッチングにより、所定の形状に加工することでゲート電極2を形成する。

【0004】そして、 $NH_3$ と $SiH_4$ ガスを主成分とするプラズマCVD（PCVD）法により、シリコン窒化膜（ $SiNx$ ）を膜厚0.1～0.4 $\mu m$ 、 $SiH_4$ ガスを主成分とするPCVD法により、半導体層（チャネル層）となる $n^-$ アモルファスシリコン（ $n^-a-Si$ ）膜を膜厚0.05～0.2 $\mu m$ 、そして $SiH_4+PH_3$ ガスを主成分とするPCVD法により、オーミック層となる $n^+$ アモルファスシリコン（ $n^+a-Si$ ）を、それぞれ基板全面に堆積させる。そして、 $n^+a-Si$ と $n^-a-Si$ 膜を島状の所定の形状に加工することで、ゲート絶縁膜3と島状の半導体層4を形成する。ゲート絶縁膜3はエッチングせずに、基板全面に残す。

【0005】次に、Al、Cr、NiCr等よりなる金属層を、スパッタ又は蒸着により、0.3～1.0 $\mu m$

10

20

30

40

50

程度成膜し、それを所定の形状に加工することにより、ソース電極5及びドレイン電極6を形成する。その後、チャンネル層上の不要な $n^+$ -a-Si層を $CF_4 + O_2$ ガスを主成分とするリアクティブ方式(RIE法)等のドライエッチングで除去する。そしてPCVD法により、シリコン窒化膜( $SiNx$ )等からなる中間絶縁膜7を形成する。

【0006】その後、ソース電極5と、次に形成する透明電極ITO膜との導通のためのコンタクトホール8を中間絶縁膜7の所定部分に形成する。そして、ITO膜をスパッタ又は蒸着により0.1 $\mu m$ 程度基板全面に成膜する。そして、加工により所定の形状に形成することにより、表示用電極となる透明電極9を形成する。最後に、窒化シリコン膜( $SiNx$ )10を、所定の領域にPCVD法と加工により形成し、表面保護膜とする。

【0007】以上の透明電極と、a-Si TFTとを2次的に配置することで、液晶用a-Si TFTアレイ基板が完成する。以下図示せず。このTFTアレイ基板上に膜厚0.1 $\mu m$ のポリイミドよりなる有機膜を形成し、ラビング処理することで、配向処理膜を形成する。その後、セル間隔を均一に形成、保持するために直径3~10 $\mu m$ のスペーサを配向処理膜上に散布することで下基板が完成する。

【0008】一方、上基板(対向電極側)は、ガラス12の上に光の漏れを防止してコントラストを向上させるためのブラックマトリクス層13を形成する。次に、印刷または電着等と加工により着色層14を形成する。この上に平坦化層15を形成後、対向電極として膜厚0.1 $\mu m$ 程度のITO膜よりなる対向透明電極16をスパッタ又は、蒸着と加工により所定の形状に形成する。更に、この対向透明電極16上に膜厚0.1 $\mu m$ 程度のポリイミドよりなる有機膜を形成し、ラビング処理することで、配向処理膜17を形成する。更に、高分子材料絶縁材料(エポキシ系等の材料)にスペーサを混入させた材料を用いた厚膜のスクリーン印刷法により、膜厚5~20 $\mu m$ のシール層18を所定のパターンで形成することで上基板が完成する。

【0009】上下の基板が完成したら、シール層を挟んで、シール層により上下基板を位置合わせし、貼り合わせ、加圧固定し、シール層を加熱硬化させる。更に、シール層の内側を真空脱気した後、所定の注入口より液晶19を注入する。最後に注入口を封止し、偏光膜20を所定の位置に貼り付けることにより、a-Si TFTを用いた液晶ディスプレイが完成する。

【0010】

【発明が解決しようとする課題】しかしながら、従来の製造方法では、①前工程のレジスト残渣、膜中及び膜下のパーティクル等が原因でホトリソ、エッチング等の加工でのパターン欠陥が発生したり、膜剥離が発生し易くなる。②ITO表示電極エッチング時に、ITOエッチ

ング液がSiN中間保護膜のピンホール等を通して、下地アルミ電極がITOエッチング液にエッチングされ、パターン欠損となる。これらによりソース・ドレイン電極が断線し易いという問題点があった。この断線の発生確立は、大面積化、高精細化となるにしたがって顕著となる。

【0011】本発明は、上記問題点を除去し、液晶ディスプレイの下基板であるTFTアレイのソース・ドレイン電極の断線を防止し、断線による表示品質低下のない優れたアクティブマトリクス液晶ディスプレイの下基板の製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明は、上記目的を達成するために、透光性絶縁基板上にゲート電極、ゲート絶縁膜、 $n^-$ アモルファスシリコン半導体層、 $n^+$ アモルファスシリコンオーミック層、ソース・ドレイン電極、中間絶縁膜、表示用透明電極、表面保護膜を含むアモルファスシリコン薄膜トランジスタアレイを有するアクティブマトリクス液晶ディスプレイの下基板の製造方法において、前記ソース・ドレイン電極を高融点金属の第1層膜と配線用第2層膜からなる第1のソース・ドレイン電極と、高融点金属の第3層膜と配線用第4層膜からなる第2のソース・ドレイン電極とで形成するようにしたものである。

【0013】また、第1層金属と第2層金属を最初に成膜、加工した後、第3層金属を成膜し、該第3層金属が、前半に形成した第1層金属と第2層金属を覆った形状に加工してドレイン電極配線を形成するようにしたものである。

【0014】

【作用】本発明によれば、上記のように、液晶ディスプレイの下基板であるa-Si TFTアレイの製造方法において、ソース・ドレイン電極を高融点金属の第1層膜と配線用第2層膜からなる第1のソース・ドレイン電極と、高融点金属の第3層膜と配線用第4層膜からなる第2のソース・ドレイン電極とで形成する。つまり、第1のソース・ドレイン電極と第2のソース・ドレイン電極の2回に分けてホトリソ、エッチング加工することにより、積層の2層構造とする。

【0015】また、第1層金属と第2層金属を最初に成膜、加工した後、第3層金属を成膜し、該第3層金属が、前半に形成した第1層金属と第2層金属を覆った形状に加工してソース・ドレイン電極配線を形成するようにしたので、ITOエッチング液によるソース・ドレイン電極の断線を防止することができる。これにより、ソース・ドレイン電極の断線を大幅に低減することができ、表示品質の向上を図ることができる。

【0016】

【実施例】以下、本発明の実施例について図を参照しながら詳細に説明する。図1は本発明の実施例を示す液晶

5

ディスプレイの下基板の要部断面図、図2は図1のA部拡大断面図である。まず、アクティブマトリクス液晶ディスプレイの下基板となるa-Si TFT基板(下基板)は、ガラス基板31の上に、Cr、NiCr、Taよりなる金属層を、スパッタ又は蒸着により、0.1~0.3 $\mu$ m程度成膜し、その後、ホトリソエッチングにより、所定の形状に加工することで、ゲート電極32を形成する。

【0017】そして、NH<sub>3</sub>とSiH<sub>4</sub>ガスを主成分とするプラズマCVD(PCVD)法により、シリコン窒化膜(SiNx)を膜厚0.1~0.4 $\mu$ m、SiH<sub>4</sub>ガスを主成分とするPCVD法により、半導体層(チャネル層)となるn<sup>-</sup>アモルファスシリコン(n<sup>-</sup>a-Si)膜を膜厚0.05~0.2 $\mu$ m、そしてSiH<sub>4</sub>+PH<sub>3</sub>ガスを主成分とするPCVD法により、オーミック層となるn<sup>+</sup>アモルファスシリコン(n<sup>+</sup>a-Si)を、それぞれ基板全面に堆積させる。そして、n<sup>+</sup>a-Siとn<sup>-</sup>a-Si膜を島状の所定の形状に加工することで、ゲート絶縁膜33と島状の半導体層34を形成する。ゲート絶縁膜33はエッチングせずに、基板全面に残す。

【0018】次に、ソース・ドレイン電極形成は以下のように行なう。まず、第1のドレイン電極(35, 36)は、DC又はRFスパッタ法、又は蒸着法により、高融点金属の第1層膜としてのCr膜35と、配線用第2層膜としてのAl膜36を、連続又は分離で、それぞれ300~500Åと2000~5000Å成膜する。その後、所定のパターンにホトリソ、エッチング加工して、Cr-Alの2層構造よりなる第1のドレイン電極(35, 36)が形成される。この時の第1のドレイン電極(35, 36)のパターン幅は、次工程において形成される第2のドレイン電極(37, 38)のパターン幅よりも1~3 $\mu$ mほど小さく形成する。

【0019】次に、第2のドレイン電極(37, 38)は、DC又はRFスパッタ法、または蒸着法により、高融点金属の第3層膜としてのCr膜37と、配線用第4層膜としてのAl膜38を、連続又は分離で、それぞれ300~500Åと500~2000Å成膜する。その後、所定のパターンにホトリソ、エッチング加工してCr-Alの2層構造よりなる第2のドレイン電極(37, 38)が形成される。この時の第2のドレイン電極(37, 38)のパターン幅は、前工程において形成された第1のドレイン電極(35, 36)のパターン幅よりも1~3 $\mu$ mほど大きく形成する。

【0020】また、ソース電極も第1のソース電極(41, 42)と第2のソース電極(43, 44)からなる上記と同一構造で形成する。また、上記と同様に、第2のソース電極(43, 44)は第1のソース電極(41, 42)よりも1~3 $\mu$ m大きなパターンで形成する。第2のドレイン電極(37, 38)及び第2のソ

6

ス電極(43, 44)のパターン幅が、第1のドレイン電極(35, 36)及び第1のソース電極(41, 42)のパターン幅より大きくなるように形成するのは、①液晶パネル工程でのTFTのソース・ドレイン電極段差緩和による配向膜ラビング工程の安定化のため、第1のソース・ドレインと第2のソース・ドレインのエッジが重ならないようにしたこと、②第2層パターン形成時、ホトリソ時のパターン合わせずれによる、第1のソース・ドレインのエッチングダメージを防止するためである。

【0021】また、第2のソース・ドレイン電極にクローム層を入れ、Cr/Al/Cr/Alとする理由は、ITOエッチング液による第1層のAlダメージを防止するためである。AlはITOエッチング液によりエッチングされるが、Crはエッチングされない。第2層Crは、第1層AlのITOエッチング液のエッチングストップである。

【0022】第2のソース・ドレイン電極のAl層を薄くする理由は、第2層パターン欠陥によるAlエッチング液の第1層Alダメージを防止するためである。薄いことでエッチング時間は短縮でき、Alのエッチングダメージを低減できる。抵抗値は第1層Alで決定されるので、第2層Alを薄くしてもソース・ドレイン電極抵抗値には影響はない。第1、第2ソース・ドレイン電極成膜条件は、膜厚以外のパラメータである基板温度、ガス圧力、到達真空度等は同一である。

【0023】その後、チャネル層上の不要なn<sup>+</sup>a-Si層をCF<sub>4</sub>+O<sub>2</sub>ガスを主成分とするリアクティブ方式(RIE法)等のドライエッチングで除去する。そして、PCVD法により、シリコン窒化膜(SiNx)等からなる中間絶縁膜45を形成する。その後、ソース電極の第4層膜44と、次に形成する透明電極ITO膜との導通のためのコンタクトホール46を中間絶縁膜45の所定部分に形成する。そして、ITO膜をスパッタ又は蒸着により0.1 $\mu$ m程度基板全面に成膜する。そして、加工により所定の形状に形成することにより、表示用電極となる透明電極47を形成する。

【0024】最後に、窒化シリコン膜(SiNx)48を、所定の領域にPCVD法と加工により形成し、表面保護膜とする。以上の透明電極付きa-Si TFTを2次元的に配置することで、a-Si TFTアレイ基板(下基板)が完成する。なお、上記実施例では、第1層膜、第3層膜をCr膜として構成したが、Cr膜に代えて、ニクロム、チタン、タングステン、モリブデン膜の何れか1層膜として構成するようにしてもよい。また、第2層、第4層をアルミニウム膜として構成したが、このアルミニウム膜に代えて、アルミニウム合金(Al-Si-Cu、Al-Cu、Al-Mo、Al-Ti等)からなる1種類で構成するようにしてもよい。

【0025】これ以降の工程、つまり対向電極基板(上

基板)、及びセル化工程は従来技術と同一である。このようにして液晶ディスプレイが完成する。図4は本発明の他の実施例を示す液晶ディスプレイの要部断面図である。まず、アクティブマトリックス液晶ディスプレイの下基板となるa-Si TFT基板(下基板)は、ガラス基板51の上に、Cr、NiCr、Taよりなる金属層を、スパッタ又は蒸着により、0.1~0.3 $\mu$ m程度成膜し、その後、ホトリソエッチングにより、所定の形状に加工することで、ゲート電極52を形成する。

【0026】そして、NH<sub>3</sub>とSiH<sub>4</sub>ガスを主成分とするプラズマCVD(PCVD)法により、シリコン窒化膜(SiNx)を膜厚0.1~0.4 $\mu$ m、SiH<sub>4</sub>ガスを主成分とするPCVD法により、半導体層(チャネル層)となるn<sup>-</sup>アモルファスシリコン(n<sup>-</sup>a-Si)膜を膜厚0.05~0.2 $\mu$ m、そしてSiH<sub>4</sub>+PH<sub>3</sub>ガスを主成分とするPCVD法により、オーミック層となるn<sup>+</sup>アモルファスシリコン(n<sup>+</sup>a-Si)を、それぞれ基板全面に堆積させる。そして、n<sup>+</sup>a-Siとn<sup>-</sup>a-Si膜を島状の所定の形状に加工することで、ゲート絶縁膜53と島状の半導体層54を形成する。ゲート絶縁膜53はエッチングせずに、基板全面に残す。

【0027】次に、3層(下層、中層、上層)よりなるソース・ドレイン電極及びドレイン電極配線を形成する。まず、前半としては、下層ドレイン電極となる第1層ドレイン電極配線56を例えば膜厚1000~4000Åのアルミニウムまたはアルミニウム合金(Al-Si-Cu, Al-Cu, Al-Mo, Al-Ti等からなる1種類)と、中層ドレイン電極となる第2層ドレイン電極配線57を、例えば膜厚100~1000Åのクロム、ニクロム、チタン、タングステン、モリブデンのいずれか1層に、連続または分離で、スパッタまたは蒸着で成膜する。その後、所定のパターンにホトリソ、湿式または乾式エッチングにより加工し、下層、中層となる2層構造のドレイン電極を形成する。

【0028】次に、後半としては、上層ドレイン電極である第3層ドレイン電極配線58を500~2000Åの膜厚のアルミニウムまたはアルミニウム合金の成膜(スパッタ、蒸着)とホトリソ、エッチングにより所定のパターン形状に加工する。この時、後半に形成した第3層ドレイン電極配線58が、前半に形成した第1層ドレイン電極配線56と第2層ドレイン電極配線57を覆った形状で、つまり、上層ドレイン電極である第3層ドレイン電極配線58を形成する。

【0029】また、第2層ドレイン電極配線57を第3層ドレイン電極配線58で覆う理由は、以後のプロセスである、n<sup>-</sup>a-Si層チャネル上のn<sup>+</sup>a-Si膜プラズマエッチング工程を安定化するためである。ここで、n<sup>+</sup>a-Si膜プラズマエッチングの時の、CF<sub>4</sub>+O<sub>2</sub>ガスプラズマでは、n<sup>+</sup>a-Si膜がエッチング

されるのは勿論であるが、第2層ドレイン電極配線57もエッチングされる。第2層ドレイン電極配線57のプラズマエッチにより、本来エッチングしたいn<sup>+</sup>a-Si膜のエッチンググレートが不安定となる。

【0030】このことはソース・ドレイン電極境界で顕著に現れ、このため、n<sup>+</sup>a-Si膜の不均一エッチングとなる。これにより、チャネルが均一に形成されないため、TFT特性であるオフ電流が大となる欠点がある。オフ電流が増大すると、せっかくTFTオン時に液晶に充電した電荷が放電し、アクティブマトリックス液晶ディスプレイの表示品質(コントラスト、視野角)が低下するという問題点、二次災害が生ずる。

【0031】第2層メタルを、CF<sub>4</sub>+O<sub>2</sub>プラズマエッチングされない第3層のアルミ系で覆うことで、n<sup>+</sup>a-Si膜プラズマエッチング工程を安定化させることができ、二次災害を防止できる。第2層メタルは、ITOエッチング液によるアルミ系の第3層ドレイン電極エッチングダメージを防止するために配置されている。たとえSiN中間絶縁膜のピンホールからしみ込んだITOエッチング液により、第1層ドレイン電極であるアルミ系配線がエッチングダメージを受けたとしても、第2層メタルがITOエッチング液でエッチングされないため、第3層メタルのエッチングダメージは防止できる。

【0032】なお、55はソース電極配線であり、上記のドレイン電極配線と同様に、第1層ソース電極配線、第2層ソース電極配線、第3層ソース電極配線からなる。また、その後、中間絶縁膜59を形成して、その中間絶縁膜59にコンタクトホール60を形成し、第3層ドレイン電極配線58とのコンタクトをとる透明電極(表示用電極)61を形成する。

【0033】そして、以後の工程で、つまり最後の表面保護膜(図示なし)の形成を、従来技術で行なう。これにより、透明電極付きTFTが完成する。以上の透明電極付きa-Si TFTを2次元的に配置することで、a-Si TFTアレイ基板(下基板)が完成する。これ以後の工程、つまり対向電極基板(上基板)、及びセル化工程は、従来技術と同一である。このようにして、液晶ディスプレイが完成する。

【0034】また、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づき種々の変形が可能であり、それらを本発明の範囲から排除するものではない。

【0035】

【発明の効果】以上説明したように、本発明によれば、高融点金属の下層膜(Cr)と配線上膜(Al)からなるソース・ドレイン電極を2回に分けて形成することにより、第1層のソース・ドレインの欠陥を第2層のソース・ドレイン電極で救済でき、かつ高融点金属の下層膜(Cr)のエッチングストップ層の採用等により、ITOエッチング液によるソース・ドレイン電極の断線を

防止することができる。

【0036】これにより、ソース・ドレイン電極の断線を大幅に低減することができ、表示品質の向上を図ることができる。また、本発明によれば、第1層メタルと第2層メタルを最初に成膜、加工した後、第3層メタルを成膜し、該第3層メタルが、前半に形成した第1層メタルと第2層メタルを覆った形状に加工してドレイン電極配線を形成することにより、膜剥離、パターン欠陥、ITOエッチング液ダメージ等によるドレイン電極断線を防止でき、かつ、二次災害を防止して、チャネルエッチングも均一に、再現性良く行なうことができ、アクティブマトリックス液晶ディスプレイの表示品質の向上を図ることができる。

#### 【図面の簡単な説明】

【図1】本発明の実施例を示す液晶ディスプレイの下基板の要部断面図である。

【図2】図1のA部拡大断面図である。

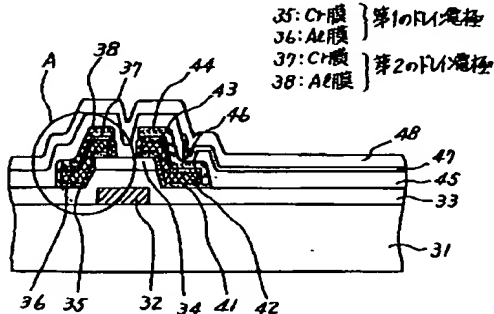
【図3】従来のアクティブマトリックス液晶ディスプレイの断面図である。

【図4】本発明の他の実施例を示す液晶ディスプレイの下基板の要部断面図である。

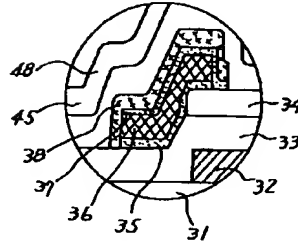
#### 【符号の説明】

- |        |                   |
|--------|-------------------|
| 31, 51 | ガラス基板             |
| 32, 52 | ゲート電極             |
| 33, 53 | ゲート絶縁膜            |
| 34, 54 | 島状の半導体層           |
| 35, 36 | 第1のドレイン電極         |
| 37, 38 | 第2のドレイン電極         |
| 35     | 高融点金属の第1層膜としてのCr膜 |
| 36     | 配線用第2層膜としてのAl膜    |
| 37     | 高融点金属の第3層膜としてのCr膜 |
| 38     | 配線用第4層膜としてのAl膜    |
| 41, 42 | 第1のソース電極          |
| 43, 44 | 第2のソース電極          |
| 45, 59 | 中間絶縁膜             |
| 46, 60 | コンタクトホール          |
| 47, 61 | 透明電極(表示用電極)       |
| 48     | 窒化シリコン膜(表面保護膜)    |
| 56     | 第1層ドレイン電極配線       |
| 57     | 第2層ドレイン電極配線       |
| 58     | 第3層ドレイン電極配線       |

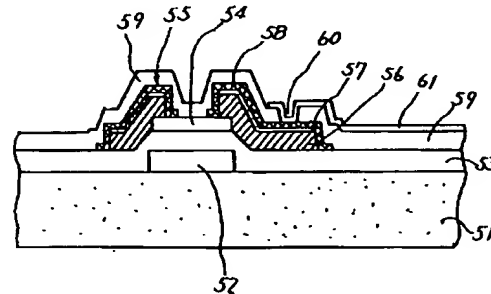
【図1】



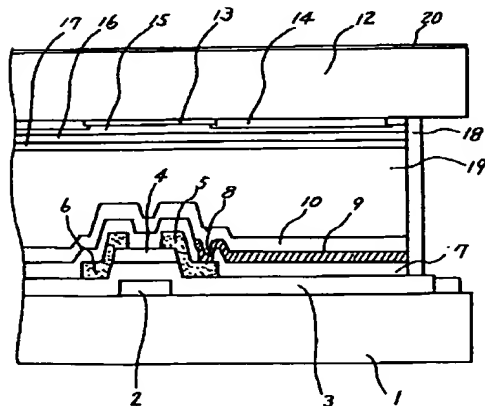
【図2】



【図4】



【図3】



フロントページの続き

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/336			
	29/784			

(72) 発明者 伊藤 浩志  
東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

JP-5-26069

## \* NOTICES \*

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the manufacture method of the lower substrate of an active matrix liquid crystal display.

[0002]

[Description of the Prior Art] Conventionally, the conventional active matrix liquid crystal display which built in the TFT (TFT) using amorphous (amorphous) silicon (a-Si) was manufactured as follows. Drawing 3 is the cross section of this conventional active matrix liquid crystal display.

[0003] As shown in this drawing, first, on a glass substrate 1, the a-SiTFT substrate used as the lower substrate of an active matrix liquid crystal display forms about 0.1-0.3 micrometers of metal layers which consist of chromium (Cr), Nichrome (NiCr), and a tantalum (Ta) by the spatter or vacuum evaporation, and forms the gate electrode 2 by processing it into a predetermined configuration by HOTORISO etching after that.

[0004] And NH<sub>3</sub> SiH<sub>4</sub> By the plasma CVD (PCVD) method which makes gas a principal component They are 0.1-0.4 micrometers of thickness, and SiH<sub>4</sub> about a silicon nitride (SiN<sub>x</sub>). By the PCVD method which makes gas a principal component n used as a semiconductor layer (channel layer) - They are 0.05-0.2 micrometers of thickness, and SiH<sub>4</sub>+PH<sub>3</sub> about an amorphous silicon (n-a-Si) film. By the PCVD method which makes gas a principal component n+ used as an ohmic layer An amorphous silicon (n+a-Si) is made to deposit all over a substrate, respectively. And the semiconductor layer 4 of the shape of the gate insulator layer 3 and an island is formed by processing n+a-Si and an n-a-Si film into a predetermined island-like configuration. It leaves the gate insulator layer 3 all over a substrate, without \*\*\*\*\*ing.

[0005] Next, the source electrode 5 and the drain electrode 6 are formed by forming about 0.3-1.0 micrometers of metal layers which consist of aluminum, Cr, NiCr, etc. by the spatter or vacuum evaporation, and processing it into a predetermined configuration. Then, it is an unnecessary n+a-Si layer on a channel layer CF<sub>4</sub>+O<sub>2</sub> Gas is removed by dry etching, such as a reactive method (the RIE method) made into a principal component. And by the PCVD method, the middle insulator layer 7 which consists of a silicon nitride (SiN<sub>x</sub>) etc. is formed.

[0006] Then, the contact hole 8 for a flow with the source electrode 5 and the transparent-electrode ITO film formed in a degree is formed in the predetermined portion of the middle insulator layer 7. And about 0.1 micrometers of ITO films are formed all over a substrate by the spatter or vacuum evaporation. And the transparent electrode 9 used as the electrode for a display is formed by forming in a predetermined configuration by processing. Finally, a silicon nitride film (SiN<sub>x</sub>) 10 is formed in a predetermined field by the PCVD method and processing, and let it be a surface-protection film.

[0007] The a-SiTFT array substrate for liquid crystal completes the above transparent electrode and a-SiTFT by arranging two-dimensional. It does not illustrate below. The organic film which consists of a polyimide of 0.1 micrometers of thickness is formed on this TFT array substrate, and an orientation processing film is formed by carrying out rubbing processing. Then, in order to form and hold a cell interval uniformly, a lower substrate completes a spacer with a diameter of 3-10 micrometers by sprinkling on an orientation processing film.

[0008] On the other hand, an upper substrate (counterelectrode side) forms the black matrix layer 13 for preventing the leakage of light and raising contrast on glass 12. Next, the coloring layer 14 is formed by printing or electrodeposition, and processing. The opposite transparent electrode 16 which consists of an ITO film of about 0.1 micrometers of thickness as a counterelectrode is formed in a predetermined configuration by the spatter or vacuum evaporation, and processing after forming the flattening layer 15 besides. Furthermore, the organic film which consists of a polyimide of about 0.1 micrometers of thickness is formed on this opposite transparent electrode 16, and the orientation processing film 17 is formed by carrying out rubbing processing. Furthermore, an upper substrate completes the sealing layer 18 of 5-20 micrometers of thickness by forming by the predetermined pattern with the screen printing of a thick film using the material which made the spacer mix in a polymeric-materials insulating material (material, such as an epoxy system).

[0009] If an up-and-down substrate is completed, a sealing layer is inserted, alignment of the vertical substrate is carried out by the sealing layer, you will make it stick each other, pressurization fixation will be carried out, and heat hardening of the sealing layer will be carried out. Furthermore, after carrying out the vacuum deairing of the inside of a sealing layer, liquid crystal 19 is poured in from a predetermined inlet. The liquid crystal display using a-SiTFT is completed by closing an inlet finally and sticking the polarization film 20 on a position.



[0010]

[Problem(s) to be Solved by the Invention] However, by the conventional manufacture method, the pattern defect in processing of HOTORISO, etching, etc. occurs owing to the particle in the resist residue of the process before \*\*, and a film, and under a film etc., or it becomes easy to generate film ablation. \*\* At the time of ITO display electrode etching, an ITO etching reagent passes the pinhole of a SiN middle protective coat etc., it \*\*\*\*\*s to an ITO etching reagent and a ground aluminum electrode serves as a pattern deficit. There was a trouble of being easy to disconnect a source drain electrode by these. Generating establishment of this open circuit becomes remarkable as it serves as large-area-izing and highly minute-ization.

[0011] this invention removes the above-mentioned trouble, prevents an open circuit of the source drain electrode of the TFT array which is the lower substrate of a liquid crystal display, and aims at offering the manufacture method of the lower substrate of the outstanding active matrix liquid crystal display without the display debasement by open circuit.

[0012]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, this invention on a translucency insulating substrate A gate electrode, A gate insulator layer, n - An amorphous silicon semiconductor layer and n+ Amorphous silicon ohmic layer, In the manufacture method of the lower substrate of the active matrix liquid crystal display which has an amorphous silicon TFT array containing a source drain electrode, a middle insulator layer, the transparent electrode for a display, and a surface-protection film The aforementioned source drain electrode is formed by the 1st source drain electrode which consists of the 1st layer membrane and the 2nd layer membrane for wiring of a refractory metal, and the 2nd source drain electrode which consists of the 3rd layer membrane and the 4th layer membrane for wiring of a refractory metal.

[0013] Moreover, after forming and processing the 1st layer metal and the 2nd layer metal into the beginning, the 3rd layer metal is formed, and this 3rd layer metal processes the configuration which covered the 1st layer metal formed in the first half, and the 2nd layer metal, and forms drain electrode wiring.

[0014]

[Function] According to this invention, in the manufacture method of the a-SiTFT array which is the lower substrate of a liquid crystal display, a source drain electrode is formed as mentioned above by the 1st source drain electrode which consists of the 1st layer membrane and the 2nd layer membrane for wiring of a refractory metal, and the 2nd source drain electrode which consists of the 3rd layer membrane and the 4th layer membrane for wiring of a refractory metal. That is, it considers as the two-layer structure of a laminating HOTORISO and by carrying out etching processing in 2 steps, the 1st source drain electrode and the 2nd source drain electrode.

[0015] Moreover, since the 3rd layer metal is formed, the configuration where this 3rd layer metal covered the 1st layer metal formed in the first half and the 2nd layer metal is processed and source drain electrode wiring was formed after forming and processing the 1st layer metal and the 2nd layer metal into the beginning, an open circuit of the source drain electrode by the ITO etching reagent can be prevented. Thereby, an open circuit of a source drain electrode can be reduced sharply, and improvement in display quality can be aimed at.

[0016]

[Example] Hereafter, it explains in detail, referring to drawing about the example of this invention. The important section cross section of the lower substrate of a liquid crystal display in which drawing 1 shows the example of this invention, and drawing 2 are the A section expanded sectional views of drawing 1. First, on a glass substrate 31, the a-SiTFT substrate (lower substrate) used as the lower substrate of an active matrix liquid crystal display forms about 0.1-0.3 micrometers of metal layers which consist of Cr, NiCr, and Ta by the spatter or vacuum evaporation, after that, by HOTORISO etching, is processing it into a predetermined configuration, and forms the gate electrode 32.

[0017] And  $\text{NH}_3$   $\text{SiH}_4$  By the plasma CVD (PCVD) method which makes gas a principal component They are 0.1-0.4 micrometers of thickness, and  $\text{SiH}_4$  about a silicon nitride ( $\text{SiN}_x$ ). By the PCVD method which makes gas a principal component n used as a semiconductor layer (channel layer) - They are 0.05-0.2 micrometers of thickness, and  $\text{SiH}_4$ +PH<sub>3</sub> about an amorphous silicon (n-a-Si) film. By the PCVD method which makes gas a principal component n+ used as an ohmic layer An amorphous silicon (n+a-Si) is made to deposit all over a substrate, respectively. And the semiconductor layer 34 of the shape of the gate insulator layer 33 and an island is formed by processing n+a-Si and an n-a-Si film into a predetermined island-like configuration. It leaves the gate insulator layer 33 all over a substrate, without \*\*\*\*\*ing.

[0018] Next, source drain electrode formation is performed as follows. First, by DC, RF spatter, or the vacuum deposition, the 1st drain electrode (35 36) is continuation or separation, and forms 2000-5000Å of aluminum 36 as the Cr film 35 and the 2nd layer membrane for wiring as the 1st layer membrane of a refractory metal with 300-500Å, respectively. Then, the HOTORISO and 1st drain electrode (35 36) which carry out etching processing and consist of two-layer structure of Cr-aluminum is formed in a predetermined pattern. The pattern width of face of the 1st drain electrode at this time (35 36) is formed smaller about 1-3 micrometers than the pattern width of face of the 2nd drain electrode (37 38) formed in the following process.

[0019] Next, by DC, RF spatter, or the vacuum deposition, the 2nd drain electrode (37 38) is continuation or separation, and forms the Cr film 37 as the 3rd layer membrane of a refractory metal, and 500-2000Å of aluminum films 38 as the 4th layer membrane for wiring with 300-500Å, respectively. Then, HOTORISO and the 2nd drain electrode (37 38) which carries out etching processing and consists of two-layer structure of Cr-aluminum are formed in a predetermined pattern. The pattern width of face of the 2nd drain electrode at this time (37 38) is formed more greatly about 1-3 micrometers than the pattern width of face of the 1st drain electrode (35 36) formed in the last process.

[0020] Moreover, it forms with the same structure as the above which consists of a source electrode (41 42) of the source

electrode 1st, and the 2nd source electrode (43 44). Moreover, the 2nd source electrode (43 44) is formed like the above by the pattern bigger 1-3 micrometers than the 1st source electrode (41 42). The pattern width of face of the 2nd drain electrode (37 38) and the 2nd source electrode (43 44) Forming so that it may become larger than the pattern width of face of the 1st drain electrode (35 36) and the 1st source electrode (41 42) \*\* A stabilization of the orientation film rubbing process by source drain electrode level difference relief of TFT in a liquid crystal panel process sake, It is for preventing the etching damage of the 1st source drain by the pattern doubling gap at the time of HOTORISO at the time of having made it the edge of the 1st source drain and the 2nd source drain not lap, and the \*\* 2nd layer pattern formation.

[0021] Moreover, the reason which puts a chromium layer into the 2nd source drain electrode, and is made into Cr/aluminum/Cr/aluminum is for preventing aluminum damage of the 1st layer by the ITO etching reagent. Although an ITO etching reagent \*\*\*\*\*s [ aluminum ], Cr does not \*\*\*\*\* The 2nd layer of Cr is the etching stopper of the ITO etching reagent of the 1st layer aluminum.

[0022] The reason for making thin aluminum layer of the 2nd source drain electrode is for preventing the 1st layer aluminum damage of aluminum etching reagent by the 2nd layer pattern defect. Etching time can be shortened by the thin thing and the etching damage of aluminum can be reduced. Since resistance is determined with the 1st layer aluminum, even if it makes the 2nd layer aluminum thin, it is uninfluential to a source drain electrode resistance value. The substrate temperature the 1st and whose 2nd source drain electrode membrane formation conditions are parameters other than thickness, gas pressure, ultimate vacuum, etc. are the same.

[0023] Then, it is an unnecessary n+a-Si layer on a channel layer CF<sub>4</sub>+O<sub>2</sub> Gas is removed by dry etching, such as a reactive method (the RIE method) made into a principal component. And the middle insulator layer 45 which consists of a silicon nitride (SiN<sub>x</sub>) etc. is formed by the PCVD method. Then, the contact hole 46 for a flow with the 4th layer membrane 44 of a source electrode and the transparent-electrode ITO film formed in a degree is formed in the predetermined portion of the middle insulator layer 45. And about 0.1 micrometers of ITO films are formed all over a substrate by the spatter or vacuum evaporation. And the transparent electrode 47 used as the electrode for a display is formed by forming in a predetermined configuration by processing.

[0024] Finally, a silicon nitride film (SiN<sub>x</sub>) 48 is formed in a predetermined field by the PCVD method and processing, and let it be a surface-protection film. By arranging two-dimensional, an a-SiTFT array substrate (lower substrate) completes the above a-SiTFT with a transparent electrode. In addition, although the 1st layer membrane and the 3rd layer membrane were constituted as a Cr film, it replaces with Cr film and you may make it constitute from an above-mentioned example as any 1 layer membrane of Nichrome, titanium, a tungsten, and a molybdenum film. Moreover, although the 2nd layer and the 4th layer were constituted as an aluminum film, it replaces with this aluminum film and you may make it constitute from an aluminium alloy (one kind which consists of aluminum-Si-Cu, aluminum-Cu, aluminum-Mo, aluminum-Ti, etc.).

[0025] The process (upper substrate), i.e., counterelectrode substrate, and cell-ized process after this is the same as that of the conventional technology. Thus, a liquid crystal display is completed. Drawing 4 is the important section cross section of a liquid crystal display showing other examples of this invention. First, on a glass substrate 51, the a-SiTFT substrate (lower substrate) used as the lower substrate of an active matrix liquid crystal display forms about 0.1-0.3 micrometers of metal layers which consist of Cr, NiCr, and Ta by the spatter or vacuum evaporation, after that, by HOTORISO etching, is processing it into a predetermined configuration, and forms the gate electrode 52.

[0026] And NH<sub>3</sub> SiH<sub>4</sub> By the plasma CVD (PCVD) method which makes gas a principal component They are 0.1-0.4 micrometers of thickness, and SiH<sub>4</sub> about a silicon nitride (SiN<sub>x</sub>). By the PCVD method which makes gas a principal component n used as a semiconductor layer (channel layer) - They are 0.05-0.2 micrometers of thickness, and SiH<sub>4</sub>+PH<sub>3</sub> about an amorphous silicon (n-a-Si) film. By the PCVD method which makes gas a principal component n+ used as an ohmic layer An amorphous silicon (n+a-Si) is made to deposit all over a substrate, respectively. And the semiconductor layer 54 of the shape of the gate insulator layer 53 and an island is formed by processing n+a-Si and an n-a-Si film into a predetermined island-like configuration. It leaves the gate insulator layer 53 all over a substrate, without \*\*\*\*\*ing.

[0027] Next, the source drain electrode and drain electrode wiring which consist of three layers (a lower layer, a middle lamella, upper layer) are formed. First, as the first half, to any one layer of chromium of 100-1000Å of thickness, Nichrome, titanium, a tungsten, and molybdenum, it is continuation or separation and aluminum of 1000-4000Å of thickness or an aluminium alloy (one kind which consists of aluminum-Si-Cu, aluminum-Cu, aluminum-Mo, aluminum-Ti, etc.), and the 2nd layer drain electrode wiring 57 used as a medium-rise drain electrode are formed for the 1st layer drain electrode wiring 56 used as a lower layer drain electrode by the spatter or vacuum evaporation. Then, it is processed into a predetermined pattern by HOTORISO, wet, or dry etching, and the drain electrode of the two-layer structure used as a lower layer and a middle lamella is formed.

[0028] Next, as the second half, the 3rd layer drain electrode wiring 58 which is the upper drain electrode is processed into a predetermined pattern configuration by the aluminum of 500-2000Å thickness or membrane formation (the spatter, vacuum evaporation) and HOTORISO of an aluminium alloy, and etching. At this time, the 3rd layer drain electrode wiring 58 formed in the second half is the configuration which covered the 1st layer drain electrode wiring 56 and the 2nd layer drain electrode wiring 57 which were formed in the first half, is got blocked, and forms the 3rd layer drain electrode wiring 58 which is the upper drain electrode.

[0029] Moreover, it is for stabilizing the n+a-Si film plasma etching process on an n-a-Si layer channel that the reasons for a wrap are future processes about the 2nd layer drain electrode wiring 57, with the 3rd layer drain electrode wiring 58. Here, it is CF<sub>4</sub>+O<sub>2</sub> at the time of n+a-Si film plasma etching. With gas plasma, although an n+a-Si film \*\*\*\*\*s of course, the 2nd layer drain electrode wiring 57 also \*\*\*\*\*s. the plasma of the 2nd layer drain electrode wiring 57 --

ETCHINGUGURETO of an n+a-Si film to \*\*\*\*\* originally becomes unstable more dirtily

[0030] This appears notably on a source drain electrode boundary, and, for this reason, serves as uneven etching of an n+a-Si film. Thereby, since a channel is not formed uniformly, there is a fault from which the OFF state current which is a TFT property serves as size. If the OFF state current increases, with much trouble, the charge which charged liquid crystal at the time of TFT ON will discharge, and the trouble that the display quality (contrast, angle of visibility) of an active matrix liquid crystal display deteriorates, and a secondary calamity will arise.

[0031] It is the 2nd layer metal CF<sub>4</sub>+O<sub>2</sub> By covering by the aluminum system of the 3rd layer by which plasma etching is not carried out, an n+a-Si film plasma etching process can be stabilized, and a secondary calamity can be prevented. The 2nd layer metal is arranged in order to prevent the 3rd layer drain electrode etching damage of the aluminum system by the ITO etching reagent. Though the aluminum system wiring which is the 1st layer drain electrode receives an etching damage by the ITO etching reagent which sank in from the pinball of a SiN middle insulator layer even if, since the 2nd layer metal does not \*\*\*\*\* by the ITO etching reagent, the etching damage of the 3rd layer metal can be prevented.

[0032] In addition, 55 is source electrode wiring and consists of the 1st layer source electrode wiring, 2nd layer source electrode wiring, and 3rd layer source electrode wiring as well as the above-mentioned drain electrode wiring. Moreover, after that, the middle insulator layer 59 is formed, a contact hole 60 is formed in the middle insulator layer 59, and the transparent electrode (electrode for a display) 61 which takes contact to the 3rd layer drain electrode wiring 58 is formed.

[0033] And it is future processes, that is, the last surface-protection film (with no illustration) is formed with the conventional technology. Thereby, TFT with a transparent electrode is completed. By arranging two-dimensional, an a-SiTFT array substrate (lower substrate) completes the above a-SiTFT with a transparent electrode. The process (upper substrate), i.e., counterelectrode substrate, and cell-ized process after this is the same as that of the conventional technology. Thus, a liquid crystal display is completed.

[0034] Moreover, this invention is not limited to the above-mentioned example, and based on the meaning of this invention, various deformation is possible for it and it does not eliminate them from the range of this invention.

[0035]

[Effect of the Invention] By forming the source drain electrode which consists of the lower layer film (Cr) and the episporium for wiring (aluminum) of a refractory metal in 2 steps according to this invention, as explained above The defect of the source drain of the 1st layer can be relieved by the source drain electrode of the 2nd layer, and an open circuit of the source drain electrode by the ITO etching reagent can be prevented by adoption of the etching stopper layer of the lower layer film (Cr) of a refractory metal etc.

[0036] Thereby, an open circuit of a source drain electrode can be reduced sharply, and improvement in display quality can be aimed at. Moreover, according to this invention, the 1st layer metal and the 2nd layer metal are formed first. After processing it, when it forms the 3rd layer metal, and this 3rd layer metal processes the configuration which covered the 1st layer metal formed in the first half, and the 2nd layer metal and forms drain electrode wiring The drain electrode open circuit by film ablation, the pattern defect, the ITO etching-reagent damage, etc. can be prevented, and a secondary calamity can be prevented, channel etching can also be uniformly performed with sufficient repeatability, and improvement in the display quality of an active matrix liquid crystal display can be aimed at.

---

[Translation done.]

**\* NOTICES \***

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] It is the outline cross section showing the liquid crystal display of the gestalt of operation of this invention.

[Drawing 2] It is the outline cross section showing the polysilicon contest TFT of the gestalt of operation of this invention.

[Drawing 3] The manufacturing process of the polysilicon contest TFT of the gestalt of operation of this invention is shown. a (b) At the time of patterning of the semiconductor layer A (c) a (b) at the time of gate insulator layer formation At the time of the 1st and 2nd electric conduction film formation A (e) a (d) at the time of patterning of the 1st and 2nd conductive layers At the time of doping of a LDD field A (g) a (\*\*) at the time of the 3rd electric conduction film membrane formation At the time of different direction formation of the 3rd conductive layer As for a (h), the (j) of (i) is [ a (\*\*) ] outline explanatory drawing in which a (\*\*) shows the time of a source wiring layer and the drain wiring stratification at the time of pixel electrode formation at the time of contact hole formation at the time of layer insulation film formation at the time of source drain field doping.

[Drawing 4] The manufacturing process of the conventional polysilicon contest TFT is shown, and, as for a (b), the (c) of (b) is a (d) ] outline explanatory drawing in which a (e) shows the time of a source electrode and drain electrode formation at the time of layer insulation film formation at the time of source drain field doping at the time of LDD field doping at the time of patterning of the semiconductor layer.

[Description of Notations]

- 16 -- Liquid crystal display
- 17 -- Polysilicon contest TFT
- 18 -- Array substrate
- 19 -- Opposite substrate
- 21 -- Liquid crystal constituent
- 24 -- Semiconductor layer
- 24a -- Channel field
- 24b, 24 c--LDD field
- 24d -- Source field
- 24e -- Drain field
- 26 -- Gate insulator layer
- 27 -- Gate wiring layer
- 27a -- The 1st conductive layer
- 27b -- The 2nd conductive layer
- 27c -- The 3rd conductive layer
- 31a, 31b -- Contact hole
- 32 -- Drain wiring layer
- 33 -- Source wiring layer
- 41 -- 1st electric conduction film
- 42 -- 2nd electric conduction film
- 43 -- 3rd electric conduction film

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the important section cross section of the lower substrate of a liquid crystal display showing the example of this invention.

[Drawing 2] It is the A section expanded sectional view of drawing 1 .

[Drawing 3] It is the cross section of the conventional active matrix liquid crystal display.

[Drawing 4] It is the important section cross section of the lower substrate of a liquid crystal display showing other examples of this invention.

[Description of Notations]

- 31 51 Glass substrate
- 32 52 Gate electrode
- 33 53 Gate insulator layer
- 34 54 Island-like semiconductor layer
- 35 36 1st drain electrode
- 37 38 2nd drain electrode
- 35 Cr Film as 1st Layer Membrane of Refractory Metal
- 36 Aluminum Film as 2nd Layer Membrane for Wiring
- 37 Cr Film as 3rd Layer Membrane of Refractory Metal
- 38 Aluminum Film as 4th Layer Membrane for Wiring
- 41 42 1st source electrode
- 43 44 2nd source electrode
- 45 59 Middle insulator layer
- 46 60 Contact hole
- 47 61 Transparent electrode (electrode for a display)
- 48 Silicon Nitride Film (Surface-Protection Film)
- 56 1st Layer Drain Electrode Wiring
- 57 2nd Layer Drain Electrode Wiring
- 58 3rd Layer Drain Electrode Wiring

---

[Translation done.]

CLIPPEDIMAGE= JP405216069A

PAT-NO: JP405216069A

DOCUMENT-IDENTIFIER: JP 05216069 A

TITLE: PRODUCTION OF LOWER SUBSTRATE OF ACTIVE MATRIX  
LIQUID CRYSTAL DISPLAY

PUBN-DATE: August 27, 1993

INVENTOR-INFORMATION:

NAME

KOIZUMI, MASUMI

NOMOTO, TSUTOMU

NOBORI, MASA HARU

ITO, HIROSHI

ASSIGNEE-INFORMATION:

NAME

OKI ELECTRIC IND CO LTD

COUNTRY

N/A

APPL-NO: JP04053005

APPL-DATE: March 12, 1992

INT-CL (IPC): G02F001/136;G02F001/1343 ;H01L027/12  
;H01L029/40 ;H01L021/336  
;H01L029/784

US-CL-CURRENT: 438/322

ABSTRACT:

PURPOSE: To obtain the excellent lower substrate of the active matrix type liquid crystal display which prevents the disconnection of the source-drain electrodes of a TFT array and obviates the degradation in display quality by a disconnection as the lower substrate of the liquid crystal display.

CONSTITUTION: The source-drain electrodes are formed of the 1st source-drain electrodes consisting of Cr films 35, 41 which are a high

melting metal and Al  
films 36, 42 for wirings and the 2nd source-drain  
electrodes consisting of Cr  
films 37, 43 which are a high melting metal and Al films  
38, 44 for wirings in  
the process for production of the lower substrate of the  
active matrix liquid  
crystal display having the amorphous silicon thin-film  
transistor array  
including gate electrodes, gate insulating films,  
amorphous silicon  
semiconductor layers, intermediate insulating films 45,  
transparent electrodes  
47 for display and surface protective films 48 on a light  
transparent  
insulating substrate.

COPYRIGHT: (C)1993, JPO&Japio